

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-303785

(P 2003-303785A)

(43) 公開日 平成15年10月24日 (2003.10.24)

(51) Int. Cl.	識別記号	F I	ターコード (参考)		
H01L 21/28	301	H01L 21/28	301	R	4M104
21/768		29/78	652	M	5F033
29/417			653	A	
29/78	652	29/50		M	
	653	21/90		C	
審査請求 有 請求項の数 5 O L (全 6 頁)					

(21) 出願番号 特願2002-105600 (P 2002-105600)

(22) 出願日 平成14年4月8日 (2002.4.8)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 田中 靖明

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 100087701

弁理士 稲岡 耕作 (外1名)

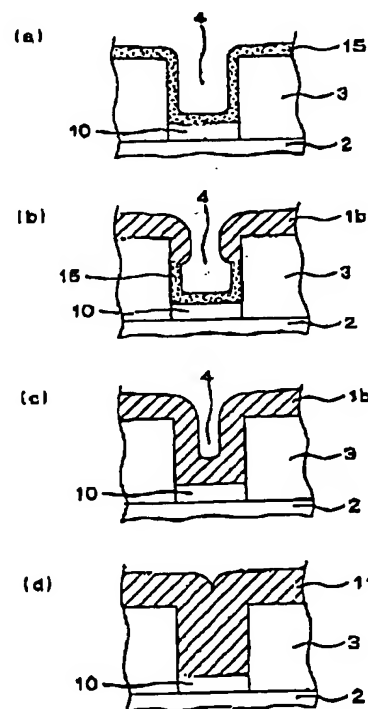
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体基板上に形成された幅や径が狭くアスペクト比が大きいコンタクトホールに、アルミニウムを含む薄膜を良好に埋め込むことができる半導体装置の製造方法を提供する。

【解決手段】 トレンチ4を有するシリコン基板1の表面に、CVD法によりポリシリコン膜15を形成する。次に、シリコン基板1を加熱しながら、シリコン基板1の表面に、スパッタ法によりアルミニウム薄膜16を形成する。スパッタ法によりシリコン基板1に供給されるアルミニウム量に対するCVD法によりシリコン基板1に供給されるシリコン量の比は、たとえば、原子比で0.1%以上かつ1%とすることができる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたコンタクトホールを埋めるようにアルミニウムを含む薄膜を形成する半導体装置の製造方法であって、

上記コンタクトホールの内表面に、シリコンを含む薄膜を形成する下地膜形成工程と、

上記下地膜形成工程の後、上記半導体基板を加熱しながら、上記半導体基板の表面に、上記コンタクトホールを埋めるようにアルミニウムを含む薄膜を形成するアルミニウム薄膜形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 上記アルミニウム薄膜形成工程で上記半導体基板に供給されるアルミニウム量に対する上記下地膜形成工程で上記半導体基板に供給されるシリコン量の比が、原子比で0.1%以上かつ1%以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記下地膜形成工程が、化学蒸着法によりポリシリコンの薄膜を形成する工程を含むことを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 上記アルミニウム薄膜形成工程が、スパッタ法によりアルミニウムを含む薄膜を形成する工程を含むことを特徴とする請求項1ないし3のいずれかに記載の半導体装置の製造方法。

【請求項5】 上記アルミニウム薄膜形成工程が、上記半導体基板を300℃ないし400℃に加熱する工程を含むことを特徴とする請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOS FETなどの半導体装置の製造方法に関し、特に、シリコン基板等の半導体基板上に形成された微細なコンタクトホールを埋め込むようにアルミニウムを含む薄膜を形成する工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の製造工程では、シリコン基板上に形成された微細なホール（穴）状またはトレンチ（溝）状のコンタクトホールを埋めるようにアルミニウムからなる電極薄膜が形成される。このような電極薄膜は、シリコン基板上に形成された素子（たとえば、トランジスタ）の取り出し電極をなす。このような薄膜は、従来、スパッタ法により、シリコン基板上にアルミニウム原子を供給して、コンタクトホールを埋めるようにアルミニウム薄膜を形成することにより形成されていた。

【0003】

【発明が解決しようとする課題】 ところが、近年の配線パターンの微細化に伴い、コンタクトホールの幅や径が小さく（たとえば、0.6 μm 以下に）なってきた。一方、コンタクトホールの深さは配線パターンが微細化されてもほとんど変わらないので、コンタクトホー

ルの幅または径に対するコンタクトホールの深さの比（アスペクト比）が、大きく（たとえば、1以上に）なる。

【0004】 このような幅や径が狭くアスペクト比が大きいコンタクトホールには、上述の方法では、コンタクトホールを良好に埋めるアルミニウム薄膜を形成することができなかった。具体的には、アルミニウム薄膜内でコンタクトホールに対応する部分にボイド（空隙）が形成されるという問題があった。これは、スパッタ法では、幅や径が小さくアスペクト比が大きいコンタクトホールの内部空間が、アルミニウム原子で完全に埋められる前に、コンタクトホールの開口を塞ぐようにアルミニウム薄膜が成長してしまうことによる。

【0005】 また、成膜時またはその後の工程で、アルミニウム薄膜から、シリコン基板上的拡散領域などへとアルミニウム原子が拡散（アルミスパイク）し、素子のpn接合が破壊されるという問題もあった。そこで、この発明の目的は、半導体基板上に形成された幅や径が狭くアスペクト比が大きいコンタクトホールに、アルミニウムを含む薄膜を良好に埋め込むことができる半導体装置の製造方法を提供することである。

【0006】 この発明の他の目的は、コンタクトホールに埋め込まれたアルミニウムを含む薄膜から、アルミニウム原子が拡散しにくい半導体装置の製造方法を提供することである。

【0007】

【課題を解決するための手段および発明の効果】 上記の課題を解決するための請求項1記載の発明は、半導体基板（1）上に形成されたコンタクトホール（4）を埋めるようにアルミニウムを含む薄膜（11）を形成する半導体装置の製造方法であって、上記コンタクトホールの内表面に、シリコンを含む薄膜（15）を形成する下地膜形成工程と、上記下地膜形成工程の後、上記半導体基板を加熱しながら、上記半導体基板の表面に、上記コンタクトホールを埋めるようにアルミニウムを含む薄膜（11、16）を形成するアルミニウム薄膜形成工程とを含むことを特徴とする半導体装置の製造方法である。

【0008】 なお、括弧内の英数字は後述の実施形態における対応構成要素等を示す。以下、この項において同じ。この発明によれば、アルミニウムを含む薄膜（以下、「アルミニウム薄膜」という。）の形成に先立って、コンタクトホールの内面を含む半導体基板の表面に、シリコンを含む薄膜（下地層）が形成される。引き続き実施されるアルミニウム薄膜形成工程で、たとえば、物理蒸着法により半導体基板上に供給されるアルミニウム原子は、半導体基板上的コンタクトホールの内部（特に、内壁）には到達しにくい。しかし、半導体基板表面のコンタクトホール以外の部分に到達したアルミニウム原子は、下地膜に拡散しながらコンタクトホール内へと移動することができる。このため、半導体基板のコ

ンタクトホール外の部分にアルミニウム原子が堆積して形成された薄膜の一部が、コンタクトホールの内面に沿ってコンタクトホール内に流れ込むように移動する。

【0009】これにより、コンタクトホール内が良好に埋められて、アルミニウム薄膜が成長する。特に、コンタクトホールが、幅や径が $0.6\mu\text{m}$ 以下と狭く、アスペクト比が1以上と高い場合、このような製造方法は効果がある。アルミニウム薄膜の不要な部分は、その後、エッチングなどにより除去してもよい。このようにして、コンタクトホールに良好に埋め込まれたアルミニウム

薄膜を形成でき、たとえば、コンタクトホール内面に露出している半導体層（基板自身であってもよい。）とアルミニウム薄膜とを電気的に接続できる。

【0010】また、アルミニウム薄膜が成長する際、下地層からアルミニウム薄膜へとシリコン原子が拡散する。したがって、アルミニウム薄膜は、シリコンを含んだものとなる。このため、アルミニウム薄膜中のアルミニウム原子は、コンタクトホール内面に露出している半導体層（特に、シリコンからなるもの）へ拡散しにくくなり、これにより、当該半導体層の内方に形成されたp

n接合の破壊を防ぐことができる。

【0011】半導体基板は、たとえば、シリコン基板であってもよい。また、コンタクトホールは、半導体基板上に形成された膜中に形成されたものであってもよい。請求項2記載の発明は、上記アルミニウム薄膜形成工程で上記半導体基板に供給されるアルミニウム量に対する上記下地膜形成工程で上記半導体基板に供給されるシリコン量の比が、原子比で 0.1% 以上かつ 1% 以下であることを特徴とする請求項1記載の半導体装置の製造方法である。

【0012】これにより、上述の拡散によるアルミニウム原子の移動が有効に生じて、コンタクトホールに良好にアルミニウム薄膜を埋め込むことができる。また、過剰なシリコンによるシリコン/ジュールの発生を防ぐこともできる。請求項3記載の発明は、上記下地膜形成工程が、化学蒸着法によりポリシリコンの薄膜（15）を形成する工程を含むことを特徴とする請求項1または2記載の半導体装置の製造方法である。

【0013】化学蒸着法により、コンタクトホールの内部（内壁など）にも均一にポリシリコン膜（下地膜）を形成できる。アルミニウム薄膜の成膜は、たとえば、請求項4記載のように、物理蒸着法の一例であるスパッタ法によるものとして行うことができる。請求項5記載の発明は、上記アルミニウム薄膜形成工程が、上記半導体基板を 300°C ないし 400°C に加熱する工程を含むことを特徴とする請求項1ないし4のいずれかに記載の半導体装置の製造方法である。

【0014】アルミニウム薄膜形成工程において、半導体基板を 300°C 以上に加熱することにより、上述のアルミニウム原子およびシリコン原子の拡散を好適に生じ

させ、コンタクトホールに良好にアルミニウム薄膜を埋め込むことができる。また、半導体基板の加熱温度を 400°C 以下とすることにより、コンタクトホールに埋め込まれたアルミニウム薄膜から、半導体基板などへのアルミニウム原子の拡散を少なくできる。

【0015】

【発明の実施の形態】以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。図1は、本発明の製造方法を適用して製造されるMOS FET (Metal Oxide Semiconductor Field Effect Transistor) の構造を示す図解的な断面図である。

【0016】シリコン基板1の表層部には、 n^+ 型のエピタキシャル層2が形成されている。エピタキシャル層2の上には、複数のリッジ形状の積層膜3が互いに平行に配されている。隣接した積層膜3の間は、ホール（穴）4となっている。積層膜3は、下部（エピタキシャル層2側）から上部に向かって積層された、 p^+ 層5、 n^+ 層6、および酸化シリコン層7を含んでいる。各積層膜3の内部には、エピタキシャル層2の上部から延びるポリシリコン層8が形成されている。ポリシリコン層8は、 p^+ 層5および n^+ 層6を貫通しており、上部（エピタキシャル層2側とは反対側）で酸化シリコン層7に接している。ポリシリコン層8は、不純物の添加により導電化されていて、積層膜3の長さ方向に平行な方向（図1で、紙面に垂直な方向）で外部に露出しており、FETのゲート電極として機能するようになっている。

【0017】ポリシリコン層8の周囲には、酸化シリコン層7と接する部分を除いて、酸化膜9が形成されている。隣接する積層膜3の p^+ 層5間で、エピタキシャル層2に接する部分には、 p^+ 層5より層厚が薄い p^+ 層10が形成されている。積層膜3および p^+ 層10の上部には、ホール4を埋めるようにアルミニウム（Al）を主成分とするアルミニウム電極膜11が形成されている。アルミニウム電極膜11は、少量（たとえば、原子比でアルミニウムに対して 0.3% ）のシリコンを含んでいる。アルミニウム電極膜11は、 n^+ 層6の取り出し電極として機能するようになっている。

【0018】以上のような構造のMOS FETにおいて、ホール4の幅 $W1$ は、たとえば、 $0.6\mu\text{m}$ であり、ホール4の幅 $W1$ に対する深さ D の比（アスペクト比） $D/W1$ は大きい（たとえば、1以上）。ポリシリコン層8の幅 $W2$ は、たとえば、 $0.6\mu\text{m}$ であり、積層膜3のうちポリシリコン層8の片側に存在する部分の幅 $W3$ は、たとえば、 $0.45\mu\text{m}$ である。したがって、このMOS FETの素子単位の幅 $W4$ は、たとえば、 $2.1\mu\text{m}$ である。

【0019】図2は、アルミニウム電極膜11の形成工程を説明するための図解的な断面図である。先ず、 p^+ 層10および積層膜3（シリコン基板1）上に、CVD

(化学蒸着)法により、ポリシリコン膜15が形成される(図2(a))。ポリシリコン膜15は、エピタキシャル層2上、積層膜3の側面(ホール4の内壁)、および積層膜3の上表面などに均一な厚さで形成される。ポリシリコン膜15の厚さは、たとえば、100Åとすることができる。

【0020】次に、このようにしてポリシリコン膜15が形成されたシリコン基板1に対して、スパッタ法により、アルミニウム原子が堆積されてアルミニウム薄膜16が形成される(図2(b)~(d))。この際、シリコン基板1は加熱される。スパッタ法によりシリコン基板1上に供給されたアルミニウム原子は、ホール4の内部には到達しにくいので、成膜の初期には、アルミニウム原子は主にホール4の外側に堆積してアルミニウム薄膜16を形成する。アルミニウム原子は、ポリシリコン膜15中に拡散するので、ホール4外に形成されたアルミニウム薄膜16の一部は、ホール4内に流れ込むように移動する(図2(b))。

【0021】また、ポリシリコン膜15を構成するシリコン原子も、アルミニウム薄膜16中へと拡散する。このようにして、ホール4は次第にアルミニウム薄膜16で埋められていき(図2(c))、成膜終了時にはホール4は、アルミニウム薄膜16により完全に埋められる。シリコン基板1へのアルミニウム原子の供給を停止した後、適当な時間シリコン基板1の加熱を継続することとしてもよい。以上の工程(図2(a)~(d))で、シリコン基板1に供給するアルミニウム量に対するシリコン量の比は、ポリシリコン膜15を形成する工程におけるシリコン基板1の加熱温度でのアルミニウムに対するシリコンの固溶限界内とすることが好ましい。この場合、ポリシリコン層8を構成するシリコン原子は全量アルミニウム薄膜16中へと移動し、アルミニウム薄膜16の成膜終了後には、アルミニウム薄膜16(アルミニウム電極膜11)とp'層10および積層膜3との間には、ポリシリコン層8は存在しなくなる。

【0022】このようにして、ボイド(空隙)のない良好なアルミニウム電極膜11が得られる(図2

(d))。特に、ホール4が、幅や径が0.6μm以下と狭く、アスペクト比が1以上と高い場合、このような製造方法は効果がある。アルミニウム電極膜11は、アルミニウムを主成分とし、少量(たとえば、原子比でアルミニウムに対して0.3%)のシリコンを含んだものとなる。アルミニウム電極膜11が形成された後、アルミニウム電極膜11の不要部分は、エッチングなどにより除去される。

【0023】アルミニウム電極膜11が固溶限界内のシリコンを含んでいることにより、スパッタ法によるアルミニウム電極膜11形成時や他の工程において、シリコン基板1が加熱されて高温になった場合でも、アルミニウム電極膜11を構成するアルミニウム原子は、p'層

10、積層膜3、エピタキシャル層2などへ拡散しにくい。したがって、素子を構成するエピタキシャル層2、p'層5、およびn'層6にアルミニウム原子が拡散して、pn接合が破壊されることはない。

【0024】このアルミニウム電極膜11の形成方法では、アルミニウム電極膜11を形成する前にバリアメタル層を形成する必要もない。この発明の一実施形態の説明は、以上の通りであるが、この発明は他の形態でも実施することもできる。たとえば、本発明に係る製造方法は、MOS FET以外の半導体装置の様々なコンタクトホールを埋めて薄膜を形成する場合にも適用可能である。

【0025】たとえば、上記の実施形態では、アルミニウム電極膜11はホール4(コンタクトホール)側面に露出したp'層5(半導体層)に電気的に接続されるように形成されているが、コンタクトホール底面に露出している半導体層(基板自身を含む。)に電気的に接続されるように形成されてもよい。この場合、コンタクトホールの内側壁には絶縁体のみが露出していてもよい。また、アルミニウム電極膜11は、コンタクトホール内に露出している導体に電気的に接続されるものであってもよい。

【0026】薄膜(電極配線)を埋め込むコンタクトホールは、幅または径が0.6μm以下のものに限られず、幅または径が0.6μmより大きいのものであってもよい。また、薄膜(電極配線)を埋め込むコンタクトホールは、アスペクト比が1以上のものに限られず、アスペクト比が1未満のものであってもよい。その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【0027】

【実施例1】上述の方法により形成されるアルミニウム電極膜11における、シリコン量と断面状態との関係、シリコン量とコンタクト抵抗との関係、およびシリコン量とアルミニウム電極膜11剥離後のシリコン基板1の表面状態との関係を調べた。スパッタ時のシリコン基板1の加熱温度は、370℃とした。アルミニウム電極膜11におけるアルミニウム量に対するシリコン量の比(以下、「Si/A1比」という。)は、0.2%、0.3%、1.0%、2.0%、6.0%(いずれも原子比)とした。Si/A1比は、CVD法により形成されるポリシリコン膜15の厚さを変えることにより変更した。すなわち、Si/A1比は、スパッタ法でシリコン基板1に供給されるアルミニウム量に対するCVD法でシリコン基板1に供給されるシリコン量の比にほぼ等しい。

【0028】また、比較のため、Si/A1比が0%のアルミニウム電極膜11も形成した。すなわち、予めポリシリコン膜15を成膜せずアルミニウム電極膜11を形成した。アルミニウム電極膜11の断面状態、および

アルミニウム電極膜11剥離後のシリコン基板1の表面状態は電子顕微鏡で調べた。アルミニウム電極膜11の断面状態、およびアルミニウム電極膜11剥離後のシリコン基板1の表面状態の評価結果を表1に示す。Si/A1比が0.2~6.0%のアルミニウム電極膜11は、いずれも内部にボイドなどは存在せず、断面状態は良好であった。一方、Si/A1比が0%のアルミニウム電極膜11にはボイドが存在した。

【0029】アルミニウム電極膜11剥離後のシリコン基板1の表面には、Si/A1比が0.0%および0.2%のときは、アルミニウム電極膜11からシリコン基板1へのアルミニウムスパイクの痕跡が存在した。Si/A1比が2.0%および6.0%のときは、シリコン

	比較例	実施例	実施例	実施例	実施例	実施例
Si/A1 (atom%)	0.0	0.2	0.3	1.0	2.0	6.0
電極膜断面のボイド	あり	なし	なし	なし	なし	なし
電極膜表面状態	スパイクあり	スパイクあり	良好	良好	ボジュールあり	ボジュールあり

【0032】図3は、Si/A1比とコンタクト抵抗との関係を示す図である。コンタクト抵抗は、Si/A1比が0~0.3%のときは0.5 $\mu\Omega$ 以下でほぼ一定の低い値を示すが、Si/A1比が1.0%以上のときはSi/A1比の増加とともに大きくなる。Si/A1比が2.0%以上のとき、コンタクト抵抗は5.0~5.5 $\mu\Omega$ 程度になる。

【0033】

【実施例2】アルミニウム電極膜11形成時のシリコン基板1の加熱温度と、アルミニウム電極膜11の断面状態および得られた半導体装置のFET On抵抗との関

スパッタ加熱温度(°C)	275	340	410	480
電極膜断面のボイド	あり	なし	なし	なし

【0035】図4は、シリコン基板1の加熱温度とFET On抵抗との関係を示す図である。FET On抵抗は、シリコン基板1の加熱温度が275~410 $^{\circ}\text{C}$ のときはおよそ80m Ω と低い値を示すが、シリコン基板1の加熱温度が550 $^{\circ}\text{C}$ のときは、160m Ω 程度と高くなる。以上のことから、シリコン基板1の加熱温度は、300~400 $^{\circ}\text{C}$ が好ましいことがわかる。

【図面の簡単な説明】

【図1】本発明の製造方法を適用して製造されるMOSFETの構造を示す図解的な断面図である。

【図2】アルミニウム電極の形成方法を説明するための図解的な断面図である。

のノジュールが存在した。Si/A1比が0.3%および1.0%のときはアルミニウムスパイクの痕跡やシリコンのノジュールは存在せず、良好であった。

【0030】以上のことから、Si/A1比は、0.2%ないし1.0%が好ましいことがわかる。Si/A1比が0.2%のときは、アルミニウムスパイクが発生するので、Si/A1比は、さらに好ましくは0.3%ないし1.0%とすることができる。以上は、シリコン基板1の加熱温度が370 $^{\circ}\text{C}$ のときの結果であって、シリコン基板1の加熱温度が異なる場合は、最適なSi/A1比の範囲は異なることが予想される。

【0031】

【表1】

係を調べた。Si/A1比は、0.3%とした。シリコン基板1の加熱温度は、275 $^{\circ}\text{C}$ 、340 $^{\circ}\text{C}$ 、410 $^{\circ}\text{C}$ 、480 $^{\circ}\text{C}$ 、および550 $^{\circ}\text{C}$ とした。アルミニウム電極膜11の断面状態の評価結果を表2に示す。シリコン基板1の加熱温度が340~480 $^{\circ}\text{C}$ で形成されたアルミニウム電極膜11は、いずれもボイドなどは存在せず、断面の状態は良好であった。一方、シリコン基板1の加熱温度が275 $^{\circ}\text{C}$ で形成されたアルミニウム電極膜11にはボイドが存在した。

【0034】

【表2】

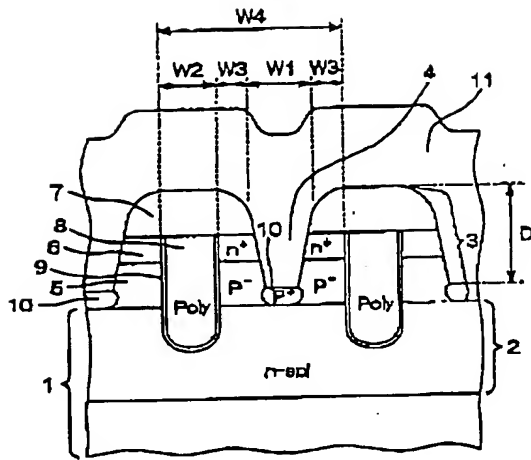
【図3】アルミニウム電極における、アルミニウム量に対するシリコン量の比とコンタクト抵抗との関係を示す図である。

【図4】シリコン基板の加熱温度とFET On抵抗との関係を示す図である。

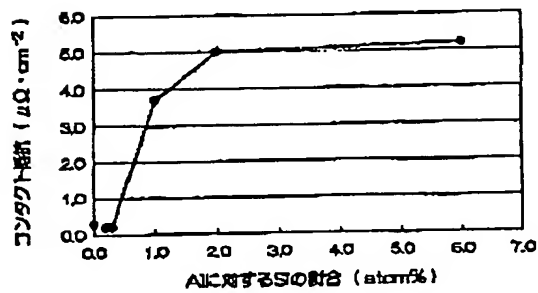
【符号の説明】

- 1 シリコン基板
- 4 ホール
- 11 アルミニウム電極膜
- 15 ポリシリコン膜
- 16 アルミニウム薄膜

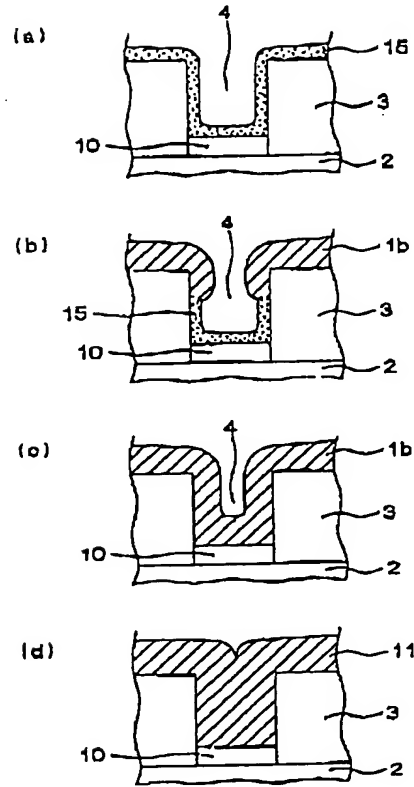
【図1】



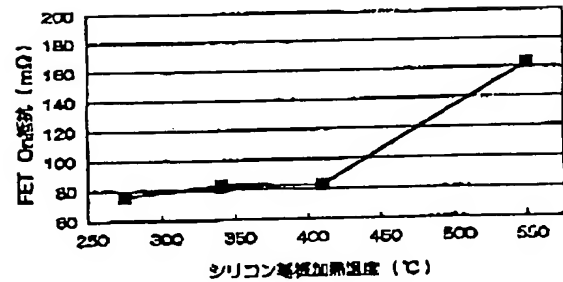
【図3】



【図2】



【図4】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB03 BB40 CC01
 CC05 DD16 DD37 DD78 EE03
 EE16 FF22 FF27 GG09 GG18
 HH05 HH14 HH15
 5F033 HH04 HH09 JJ01 JJ09 KK01
 LL01 MM30 PP06 PP18 QQ09
 QQ37 QQ73 RR04 VV06 WW00
 WW03 XX04 XX09